

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR DEVICE

Patent Number: JP1071162
Publication date: 1989-03-16
Inventor(s): WATANABE MASAYUKI; others: 02
Applicant(s): HITACHI LTD; others: 01
Requested Patent: JP1071162
Application Number: JP19870226307 19870911
Priority Number(s):
IPC Classification: H01L23/52 ; H01L21/60
EC Classification:
Equivalents: JP2642359B2

Abstract

PURPOSE: To assure high density packaging together with the improvement of reliability by superimposing on a substrate two or more of tape carrier packages, each of which is modified to realize the superimposed packaging of tape carrier packages.

CONSTITUTION: A upper tape carrier package 8a is one having a lead pattern 2 shown by A and a lower tape carrier package 8b is one having a lead pattern 2 shown by B. In A, a upper right end leads 2a are disposed in parallel to the remaining leads 2b. In B, the upper right end leads 2a are bent at a right angle. the packages 8a, 8b are superimposed on a packaging substrate 9, for packaging thereof. This improves packaging density compared with a situation where the packages 8a, 8b are provided in parallel to each other. Hereby, reliability is improved.

Data supplied from the esp@cenet database - I2

⑯ 公開特許公報 (A)

昭64-71162

⑤Int.Cl.⁴H 01 L 23/52
21/60

識別記号

庁内整理番号

C-8728-5F
R-6918-5F

④公開 昭和64年(1989)3月16日

審査請求 未請求 発明の数 1 (全5頁)

③発明の名称 半導体装置

②特願 昭62-226307

②出願 昭62(1987)9月11日

②発明者 渡辺 昌行 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

②発明者 管野 利夫 東京都小平市上水本町1450番地 株式会社日立製作所武藏工場内

②発明者 若島 喜昭 東京都小平市上水本町1450番地 株式会社日立製作所武藏工場内

①出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

①出願人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地

④代理人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

- 各リードパターンの一部を当該テープキャリアパッケージの重ね実装が可能なように変更した二以上のテープキャリアパッケージを、実装用基板上に重ね実装して成ることを特徴とする半導体装置。
- 変更したリードパターンの一部が、テープキャリアパッケージ内チップセレクト信号用のリードである、特許請求の範囲第1項記載の半導体装置。
- 発明の詳細な説明

〔産業上の利用分野〕

本発明はテープキャリアの重ね実装技術に関する。

〔従来の技術〕

半導体素子の組込技術の一つに、テープキャリア方式がある。この方式は、フィルムキャリアあ

るいはTAB (Tape Automated Bonding) 方式などとも称されている。この方式は、長尺のスプロケットホール (パーフォレーションホール) 付きの樹脂製テープに半導体素子を連続的に組込んでいく方法で、当該テープキャリアは半導体素子 (チップ) の電極配置に合わせたリードパターンが、スプロケットホールとデバイスホールを持つ樹脂フィルム上に形成されたもので、例えば、接着剤付きポリイミドフィルムを適宜幅にスリットし、それに送り用のスプロケットホールとチップを組みするためのデバイスホールとをパンチングし、銅箔をラミネートし、ホトレジスト技術、エッチング技術を用いて所望のリードパターンを形成する工程を経て製せられる。

なお、当該テープキャリアについて述べた文献の例としては、マックグロウ-ヒルブックカンパニージャパン (Mc Graw-Hill Book Company Japan) 社刊 1983年コピーライト「VLSI TECHNOLOGY」p 558 があげられる。

〔発明が解決しようとする問題点〕

しかるに、従来のテープキャリアに合っては、1品種1レイアウトとなつており、同じリードパターンを持っているために同品種のテープキャリアを重ねて実装用基板に実装することができない。

そのため、高密度に実装しようとしたら、実装用基板上に同品種のテープキャリアと並べて配設することが必要となり、プリント配線基板などの実装用基板表面の配線を複雑化させ、断線なども生じ易くなり、その信頼性を低下させることになる。

本発明はかかる従来技術の有する欠点を解消することのできる技術を提供することを目的とする。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

[問題点を解決するための手段]

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

本発明では、同一種の複数のテープキャリアに

並行に設けられているのに対し、第1図(B)では、図示上右端のリード2aが、直角に折れ曲った形となっている。このデバイスホール1内には、図示していないが半導体素子が組み込まれ、第1図(A)では図示上右端のリード2aが当該デバイスホール1内に組込んだ半導体素子(チップ)のチップセレクト信号用のリードとなつており、また、第1図(B)では上右端の直角に折れ曲ったリード2aが同様にチップセレクト信号用のリードとなつている。

第1図(C)は、このように各リードパターン2の一部リード2aを変更したテープキャリアを重ね実装した様子を概念的に示したもので、図示上右端部のリード2aは、重ね実装された上部のチップの当該チップセレクト信号の入出力をつかさどり、また、図示上右端部のリード2aに隣接したリード2aは、重ね実装された下部のチップの当該チップセレクト信号の入出力をつかさどるようになっている。

他のリード2bは、各チップに共通の入出力端

において、各テープキャリアの各リードパターンの一部を変更したものを用意する。この変更は、例えばチップセレクト信号のリードのみとする。そして、このようにリードパターンの一部が変更されたテープキャリアを実装用基板に重ね実装する。

[作用]

上記のように、重ね実装しようとするテープキャリアの各リードパターンの一部は重ね実装可能なように変更されているので、テープキャリアの重ね実装が可能で、そのため高密度実装が可能で、配線も簡略化され、信頼性も向上させることができる。

[実施例]

次に、本発明の実施例を図面に基づき説明する。

第1図は本発明の実施例を示す原理図で、プラスチックフィルムテープに穿設されたデバイスホール1内には当該フィルムテープ上に形成されたリードパターン2の一部が突出している。また、当該リードパターン2のうち、図示上右端のリード2aが、第1図(A)では残りのリード2bに対し

子となっている。第2図は、第1図(A)のテープキャリアの詳細を示したもので、また、第3図は第1図(B)のテープキャリアの詳細を示す。

これら図に示すように、プラスチックフィルムテープ3の両端部には、当該テープ3の送りおよび位置合せ用の複数のスプロケットホール4が適宜間隔を置いて孔設され、また、当該テープ3の中央部には半導体素子を組込むためのデバイスホール1が穿設され、当該デバイスホール1内に突出したリードパターン2の先端部に、図示のようにチップ5をフェイスダウンポンディング(ギャングポンディング)により接合する。

この接合は、チップ5の電極部にバンプ6を形成して、熱圧着法により行われるが、リードパターン2側にバンプ6を形成して同様に行つてもよい。当該チップ5のポンディング(インナーリードポンディング)後に、第4図断面図に示すように、封止樹脂をポッティングして樹脂封止部7を形成して封止を行なう。

このように封止されたテープキャリアパッケ

ジ8を、第5図に示すように実装用基板9上に重ね実装する。

第5図にて、上部テープキャリアパッケージ8aは、第1図(A)に示すリードバターン2をもつテープキャリアパッケージで、また、下部テープキャリアパッケージ8bは第1図(B)に示すリードバターン2をもつテープキャリアパッケージである。

本発明に使用されるプラスチックフィルムテープは、例えばポリイミド系樹脂フィルムを適宜幅にスリットされたものにより構成される。リードバターン2は、当該フィルムテープ上に例えば鋼箔をラミネートし、ホトレジスト技術やエッティング技術を用いて形成することができ、各テープキャリアパッケージ8a, 8bに応じてその一部レイアウトを変更するようとする。

半導体素子(チップ)5は、例えばシリコン単結晶基板から成り、周知の技術によってこのチップ内には多数の回路素子が形成され、1つの回路機能が与えられている。回路素子の具体例は、例えばMOSトランジスタから成り、これらの回路

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、上記実施例ではテープキャリアパッケージを実装用基板上に二個重ね実装する例を示したが、三個以上重ねることができ、場合により実装用基板の両面にそれぞれ重ね実装することもできる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明によればテープキャリアにおいて高密度実装を可能とし、配線上も有利で信頼性の向上した半導体装置を提供することができた。

4. 図面の簡単な説明

第1図(A)～(D)はそれぞれ本発明の実施例を示す原理図、

素子によって、例えば論理回路およびメモリの回路機能が形成されている。

パンプ6は、例えば金(Au)パンプにより構成される。

封止に使用されるポッティング樹脂には、例えエポキシ樹脂を主体としたポッティング液が用いられる。

実装用基板9は、例えばプリント配線基板により構成される。

本発明によれば、上記実施例に示すように、各リードバターン2の一部リード2aを変更することにより、二個のテープキャリアパッケージ8a, 8bを実装用基板9上に重ね実装することが可能となり、実装用基板9上に仮に当該テープキャリアパッケージ8a, 8bを並設する場合に比して実装密度を向上させることができ、また、テープキャリアパッケージ8a, 8bを並設する場合には配線も長く、複雑化するのに対し配線が短く、簡略化され、断線する割合も低減され、信頼性の向上に寄与する点大である。

第2図は本発明の実施例を示す要部平面図、

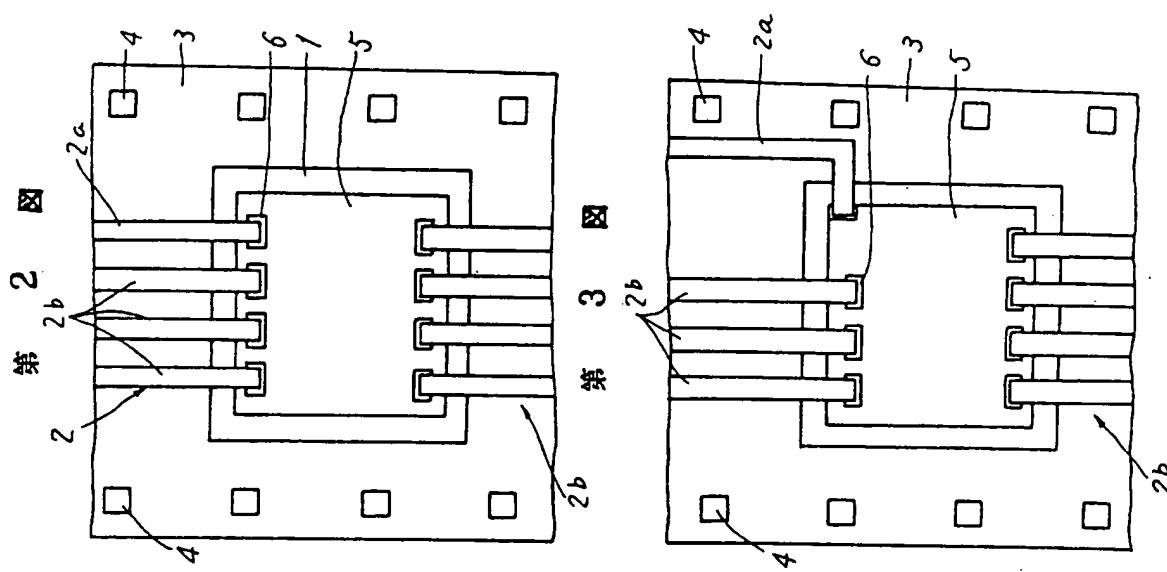
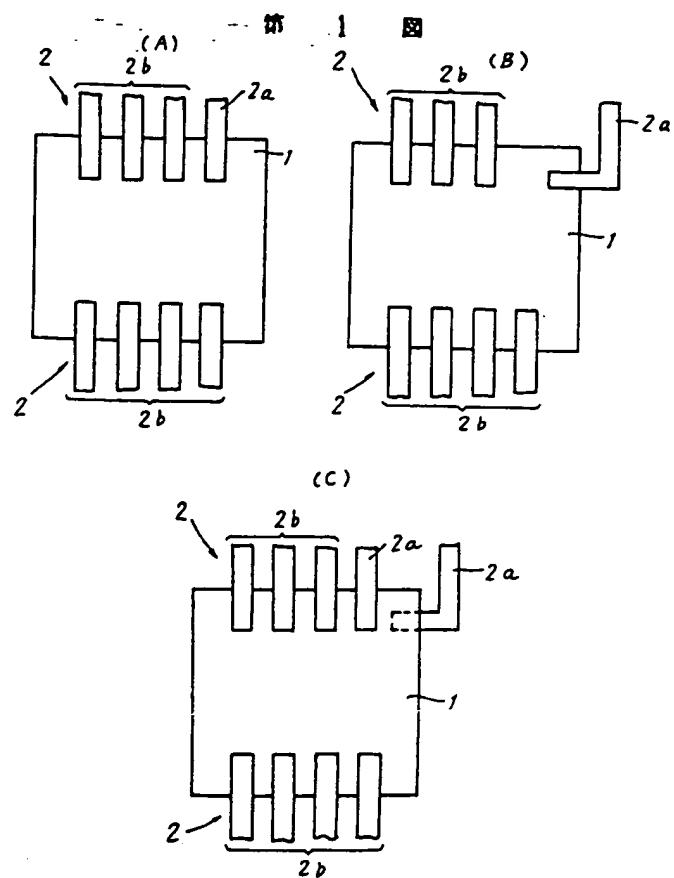
第3図は本発明の実施例を示す要部平面図、

第4図は本発明の実施例を示す断面図、

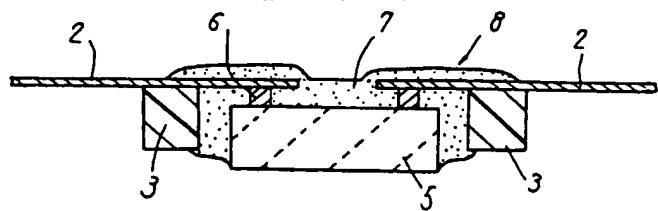
第5図は本発明の実施例を示す断面図である。

1…デバイスホール、2…リードバターン、2a…変更リード、2b…共通リード、3…プラスチックフィルムテープ、4…スロケットホール、5…半導体素子(チップ)、6…パンプ、7…樹脂封止部、8, 8a, 8b…テープキャリアパッケージ、9…実装用基板。

代理人 弁理士 小川勝男



第4図



第5図

